LVDS インタフェース LSI

67bit LVDS レシーバ

BU90R102

概要

BU90R102 は、8MHz～160MHz と非常に幅広い動作周波数範囲でピクセルデータを伝送することが可能です。
最大で 10 レーン(2 チャンネル)の LVDS シリアル・データストリーム入力を 67bit の LVCMOS レベルのパラレルデータとして出力します。
データを 7 倍速で高速シリアル伝送が可能なためケーブルの本数を 1/3 以下に削減できます。I/O 電源電圧は 2.3V から 3.6V まで対応しており、様々な用途での使用が可能です。
多様な入力/出力モードは様々なアプリケーションインターフェースに対応します。

重要特性

■電源電圧	2.30 to 3.60 V
■動作周波数範囲	8 to 160 MHz
■動作温度範囲	-40 to +85 ℃

パッケージ

	W(Typ) x D(Typ) x H(Max)
HQFP144VM	20.0mm × 20.0mm × 1.6mm

用途

■監視カメラ、デジタルカメラ
■タブレット
■フラットパネルディスプレイ

特長

■最大 1120Mbps/Lane の高速差動インタフェース搭載
■60bit RGB データ、7bit のタイミングデータとコントロールデータを受信可能
■動作周波数 8M～160MHz の帯域幅を保証
■多様な入力/出力モード
1. Single-in / Single-out
2. Single-in / Dual-out
3. Dual-in / Single-out
4. Dual-in / Dual-out

■パワーダウン・モードあり
■ラッチするエッジが選択可能
■スペクトラム拡散クロックジェネレータ入力をサポート

ブロック図

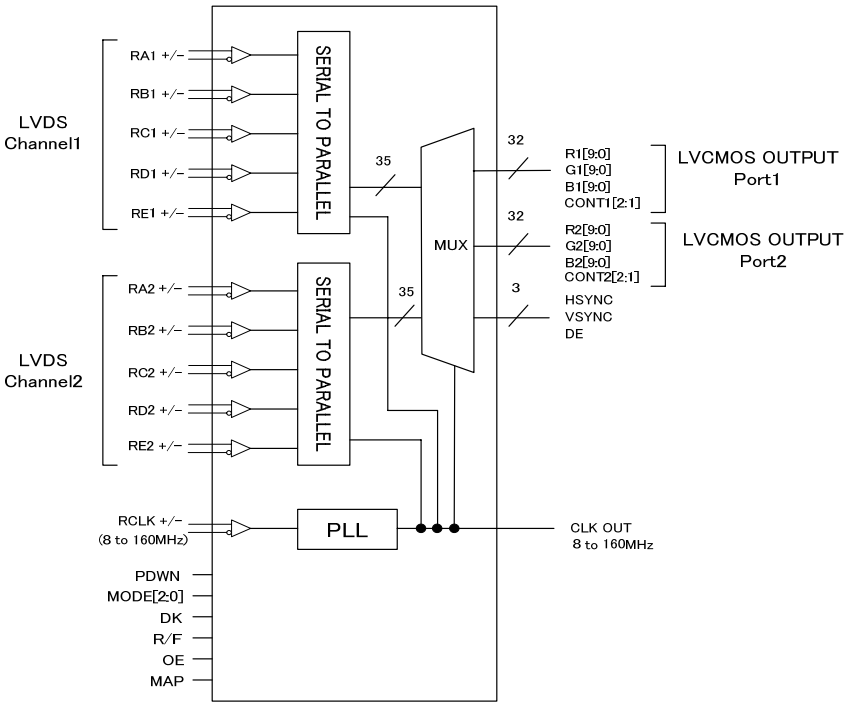


Figure 1. ブロック図

© 2014 ROHM Co., Ltd. All rights reserved.

目 次

概要 1
重要特性 1
パッケージ 1
用途 1
特長 1
ブロック図 1
Figure 1. ブロック図 1
端子配置図 3
Figure 2. 端子配置図 3
端子説明 4
絶対最大定格 6
推奨動作条件 6
Figure 3. 差動入力クロック 6
DC 特性 7
Figure 4. LVDS レシーバ DC 特性 7
AC 特性 8
消費電流 9
Figure 5. テストパターン 9
AC タイミングダイアグラム 10
Figure 6. LVCMOS 出力負荷 及び 遷移時間 10
Figure 7. 出力クロック周期 及び High/Low タイム 10
Figure 8. 出力クロック位置 及び セットアップ/ホールドタイム 10
Figure 9. 出力クロック位置 及び セットアップ/ホールドタイム (Double Edge Output Mode 時) 11
Figure 10. LVDS 入力データ位置 11
Figure 11. PLL セット時間 12
Figure 12. 入出力クロック遅延 (RCLK+/- to CLKOUT) 12
Figure 13. RC1(DE) 入力タイミング (Single-in/ Dual-out mode) 13
出力データマッピング 14
LVDS 入力データマッピング 16
Figure 14. LVDS 入力データマッピング MODE1=H(Single-in Mode) 16
Figure 15. LVDS 入力データマッピング MODE1=L(Dual-in Mode) 16
基本アプリケーション回路 21
Figure 16. 基本アプリケーション回路(24 ビット Dual-in/Dual-out モード) 21
使用上の注意 22
発注形名情報 24
標印図 24
外形寸法図と包装仕様 25
改訂履歴 26

© 2014 ROHM Co., Ltd. All rights reserved.

端子配置図

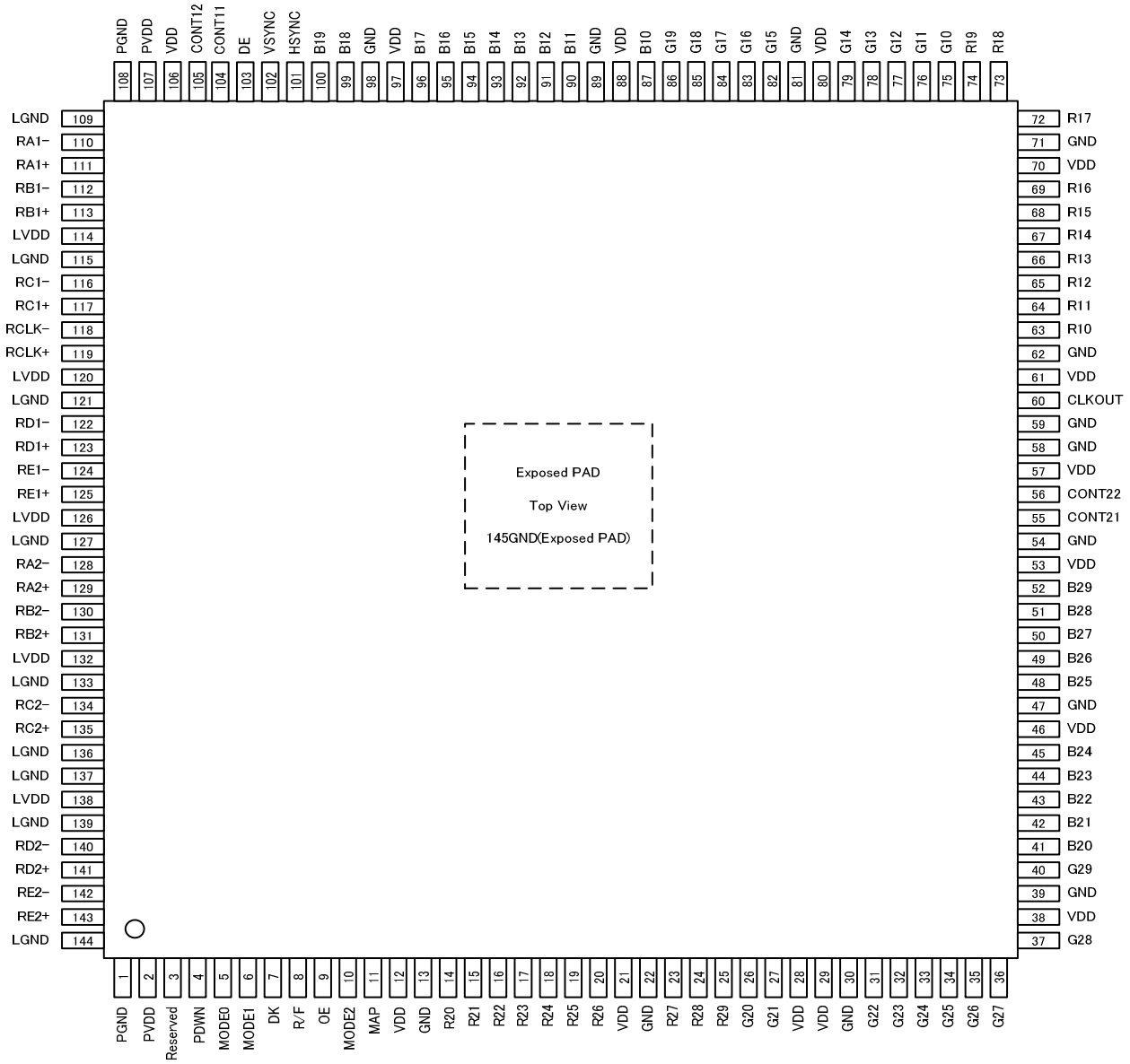


Figure 2. 端子配置図(Top View)

© 2014 ROHM Co., Ltd. All rights reserved.

端子説明

端子名	PIN No.	I/O	説明
RA1+, RA1-	111,110	LVDS Input	LVDS の差動シリアルデータ入力端子(Channel1) +:差動ペアの+側入力 -:差動ペアの-側入力
RB1+, RB1-	113,112	LVDS Input	
RC1+, RC1-	117,116	LVDS Input	
RD1+, RD1-	123,122	LVDS Input	
RE1+, RE1-	125,124	LVDS Input	
RCLK+, RCLK-	119,118	LVDS Input	LVDS の差動クロック入力端子
RA2+,RA2-	129,128	LVDS Input	LVDS の差動シリアルデータ入力端子(Channel2) +:差動ペアの+側入力 -:差動ペアの-側入力 （Single Link 時、使用しません）
RB2+,RB2-	131,130	LVDS Input	
RC2+,RC2-	135,134	LVDS Input	
RD2+,RD2-	141,140	LVDS Input	
RE2+,RE2-	143,142	LVDS Input	
R19～R10	74-72,69-63	Output	LVCMOS レベルのデータ出力端子
G19～G10	86-82,79-75	Output	
B19～B10	100,99,96-90,87	Output	
R29～R20	25-23,20-14	Output	LVCMOS レベルのデータ出力端子
G29～G20	40,37-31, 27,26	Output	
B29～B20	52-48,45-41	Output	
CONT11,CONT12	104,105	Output	LVCMOS レベルのデータ出力端子
CONT21,CONT22	55,56	Output	
DE	103	Output	データイネーブル出力端子
VSYNC	102	Output	VSYNC 出力端子
HSYNC	101	Output	HSYNC 出力端子
CLKOUT	60	Output	LVCMOS レベルのクロック出力端子
PDWN	4	Input	内部システムのパワーダウン入力端子 H:通常動作 L:パワーダウン・モード
MODE1,MODE0	6,5	Input	

MODE1	MODE0	Mode
H	H	Single Link(Single-in/Single-out)
H	L	Single Link(Single-in/Dual-out)
L	H	Dual Link(Dual-in/Single-out)
L	L	Dual Link(Dual-in/Dual-out)

© 2014 ROHM Co., Ltd. All rights reserved.

端子説明 (続き)

<table>
<tr><th>端子名</th><th>PIN No.</th><th>I/O</th><th>説明</th></tr>
<tr><td>DK</td><td>7</td><td>Input</td><td>出力クロックタイミング選択端子
t_{DOUT}=出力データレート
<table>
<tr><th>MODE〔1:0〕</th><th>DK</th><th>OFFSET〔nsec〕</th></tr>
<tr><td rowspan="3">LL
HH
HL</td><td>L</td><td>0</td></tr>
<tr><td>M</td><td>-(6/28) t_{DOUT}</td></tr>
<tr><td>H</td><td>+(6/28) t_{DOUT}</td></tr>
<tr><td rowspan="3">LH</td><td>L</td><td>0</td></tr>
<tr><td>M</td><td>-(7/28) t_{DOUT}</td></tr>
<tr><td>H</td><td>+(7/28) t_{DOUT}</td></tr>
</table></td></tr>
<tr><td>R/F</td><td>8</td><td>Input</td><td>出力クロックの極性設定入力端子
H:立上りエッジトリガー
L:立下りエッジトリガー (Figure 8,9 参照)</td></tr>
<tr><td>OE</td><td>9</td><td>Input</td><td>データ出力ドライバー用のパワーダウン入力端子
H:出力可能(通常動作)
L:出力不可(全ての出力端子はハイ・インピーダンスになります)</td></tr>
<tr><td>MODE2</td><td>10</td><td>Input</td><td>DDR 機能選択端子
MODE1,MODE0 の設定に対応し、以下のようになります。
MODE<1,0>=LH (Dual-in/Single-out MODE)
H:DDR (Double Edge Output)機能 ON
L:DDR (Double Edge Output)機能 OFF

MODE<1,0>=other
GND に固定して下さい。</td></tr>
<tr><td>MAP</td><td>11</td><td>Input</td><td>LVDS 入力データマッピング選択 (Table 9～12 参照)
H:Mapping Mode1
L:Mapping Mode2</td></tr>
<tr><td>Reserved</td><td>3</td><td>Input</td><td>リザーブ端子
H に固定して下さい。</td></tr>
<tr><td>VDD</td><td>12,21,28,29,38,46,53,57,61,70,80,88,97,106</td><td>Power</td><td>出力ドライバー及び内部ディジタルコアの電源</td></tr>
<tr><td>GND</td><td>13,22,30,39,47,54,58,59,62,71,81,89,98,145</td><td>Ground</td><td>出力ドライバー及び内部ディジタルシステムの GND</td></tr>
<tr><td>LVDD</td><td>114,120,126,132,138</td><td>Power</td><td>内部 LVDS コアの電源</td></tr>
<tr><td>LGND</td><td>109,115,121,127,133,136,137,139,144</td><td>Ground</td><td>内部 LVDS コアの GND</td></tr>
<tr><td>PVDD</td><td>2,107</td><td>Power</td><td>内部 PLL コアの電源</td></tr>
<tr><td>PGND</td><td>1,108</td><td>Ground</td><td>内部 PLL コアの GND</td></tr>
</table>

Table 1. 出力設定

PDWN	OE	Data Outputs	CLKOUT
L	L	Hi-Z	Hi-Z
L	H	All Low	Fixed Low
H	L	Hi-Z	Hi-Z
H	H	Data Out	CLK Out

© 2014 ROHM Co., Ltd. All rights reserved.

絶対最大定格

項目	記号	定格		単位
		最小	最大	
電源電圧	V_{DD}	-0.3	+4.0	V
入力電圧	V_{IN}	-0.3	V_{DD}+0.3	V
出力電圧	V_{OUT}	-0.3	V_{DD}+0.3	V
保存温度範囲	T_{stg}	-55	+125	℃
ジャンクション温度	T_j	+125		℃
許容損失	P_d	4.16(Note1)		W

(Note1) 基板実装時
基板サイズ：114.3 × 76.2 × 1.6 (mm^3)
材質：FR4 ガラエポ基板 (銅箔面積 3%以下)

推奨動作条件

項目			記号	定格			単位	条件
				最小	標準	最大		
電源電圧			V_{DD}	2.3	3.3	3.6	V	VDD,LVDD, PVDD
動作温度範囲			T_a	-40	+25	+85	℃	-
動作周波数	MODE<1:0>=LL Dual-in/Dual-out		LVDS Input	8	-	160	MHz	-
			Output	8	-	160	MHz	-
	MODE<1:0>=LH Dual-in/Single-out	Single Edge Output (MODE2=L)	LVDS Input	20	-	80	MHz	-
			Output	40	-	160	MHz	-
		Double Edge Output (MODE2=H)	LVDS Input	20	-	80	MHz	-
			Output	20	-	80	MHz	-
	MODE<1:0>=HL Single-in/Dual-out		LVDS Input	8	-	160	MHz	-
			Output	4	-	80	MHz	-
	MODE<1:0>=HH Single-in/Single-out		LVDS Input	8	-	160	MHz	-
			Output	8	-	160	MHz	-
差動入力クロック High Time (t_{RCIH}) (Figure 3)				$2\frac{t_{RCIP}}{7}$	-	$5\frac{t_{RCIP}}{7}$	ns	-
差動入力クロック Low Time (t_{RCIL}) (Figure 3)				$2\frac{t_{RCIP}}{7}$	-	$5\frac{t_{RCIP}}{7}$	ns	-

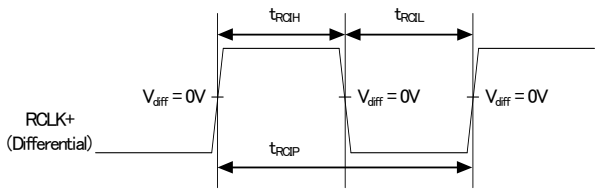


Figure 3. 差動入力クロック

© 2014 ROHM Co., Ltd. All rights reserved.

DC 特性

Table 2. LVCMOS DC 特性 （VDD=2.3～3.6V, Ta=-40～+85℃ ）

記号	項目	規格値			単位	条件
		最小	標準	最大		
VIH	”H”入力電圧	V_{DD}x0.7	-	V_{DD}	V	PDWN, MODE[2:0] R/F, OE, MAP PIN
VIL	”L”入力電圧	GND	-	V_{DD}x0.3	V	
VIH3	”H”入力電圧 3	V_{DD}x0.8	-	V_{DD}	V	3-Level Inputs (DK Pin)
VIM3	”M”入力電圧 3	V_{DD}x0.4	-	V_{DD}x0.6	V	
VIL3	”L”入力電圧 3	GND		V_{DD}x0.2	V	
VOH	出力”H”電圧	V_{DD} -0.5	-	V_{DD}	V	IO = -8mA
VOL	出力”L”電圧	GND	-	0.4	V	IO = 8mA
IIL	入力リーク電流	-10	-	+10	uA	0 ≤VIN ≤VDD

Table 3. LVDS レシーバ DC 特性 （VDD=2.3～3.6V, Ta=-40～+85℃ ）

記号	項目	規格値			単位	条件
		最小	標準	最大		
V_{TH}	差動入力電圧 H レベル スレッシュホールド	-	-	+100	mV	V_{OC} (Note2) =1.2V
V_{TL}	差動入力電圧 L レベル スレッシュホールド	-100	-	-	mV	V_{OC} (Note2) =1.2V
I_{INL}	入力電流	-30	-	+30	μA	V_{IN}=2.4V / 0V V_{DD}=3.6V
V_{OC}	コモンモード電圧	0.8	1.2	1.6	V	V_{ID}=200mV
$\|V_{ID}\|$	差動入力電圧	100	-	600	mV	-

（Note2）コモンモード電圧

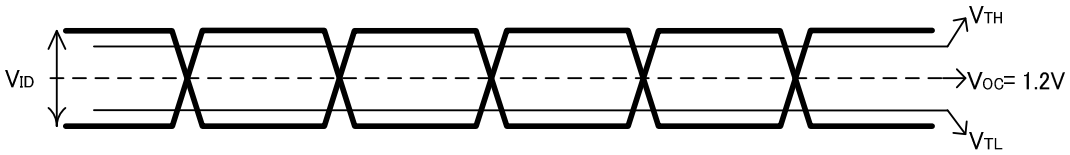


Figure 4. LVDS レシーバ DC 特性

© 2014 ROHM Co., Ltd. All rights reserved.

AC 特性

Table 4. スイッチング特性(V_{DD}= 2.3～3.6V, Ta=-40～+85℃)

記号	項目		規格値			単位
			最小	標準	最大	
t_{RCP}	CLKOUT (出力クロック)周期 (Figure 7)		6.25	-	250	ns
t_{RCH}	CLKOUT（出力クロック）“H”タイム (Figure 7)		-	$0.5t_{RCP}$	-	ns
t_{RCL}	CLKOUT（出力クロック）“L”タイム (Figure 7)		-	$0.5t_{RCP}$	-	ns
t_{DOUT}	LVCMOS データ出力周期(Figure 8, 9)		6.25		250	ns
t_{RS}	クロック・LVCMOS データ出力 セットアップタイム (Figure 8, 9)		$0.45t_{RCP}$-0.45	-	-	ns
t_{RH}	クロック・LVCMOS データ出力 ホールドタイム (Figure 8, 9)		$0.45t_{RCP}$-0.45	-	-	ns
t_{TLH}	LVCMOS データ出力　立上り時間 (Figure 6)		-	0.7	1.0	ns
t_{THL}	LVCMOS データ出力　立下り時間 (Figure 6)		-	0.7	1.0	ns
t_{sk}	レシーバ スキューマージン (Figure 10)	t_{RCIP}=65MHz	0	-	650	ps
		t_{RCIP}=85MHz	0	-	450	ps
		t_{RCIP}=108MHz	0	-	250	ps
		t_{RCIP}=135MHz	0	-	170	ps
		t_{RCIP}=160MHz	0	-	150	ps
t_{RIP1}	差動入力データの入力時間 0 (Figure 10)		$-t_{sk}$	0.0	$+t_{sk}$	ns
t_{RIP0}	差動入力データの入力時間 1 (Figure 10)		$\frac{t_{RCIP}}{7}-t_{sk}$	$\frac{t_{RCIP}}{7}$	$\frac{t_{RCIP}}{7}+t_{sk}$	ns
t_{RIP6}	差動入力データの入力時間 2 (Figure 10)		$2\frac{t_{RCIP}}{7}-t_{sk}$	$2\frac{t_{RCIP}}{7}$	$2\frac{t_{RCIP}}{7}+t_{sk}$	ns
t_{RIP5}	差動入力データの入力時間 3 (Figure 10)		$3\frac{t_{RCIP}}{7}-t_{sk}$	$3\frac{t_{RCIP}}{7}$	$3\frac{t_{RCIP}}{7}+t_{sk}$	ns
t_{RIP4}	差動入力データの入力時間 4 (Figure 10)		$4\frac{t_{RCIP}}{7}-t_{sk}$	$4\frac{t_{RCIP}}{7}$	$4\frac{t_{RCIP}}{7}+t_{sk}$	ns
t_{RIP3}	差動入力データの入力時間 5 (Figure 10)		$5\frac{t_{RCIP}}{7}-t_{sk}$	$5\frac{t_{RCIP}}{7}$	$5\frac{t_{RCIP}}{7}+t_{sk}$	ns
t_{RIP2}	差動入力データの入力時間 6 (Figure 10)		$6\frac{t_{RCIP}}{7}-t_{sk}$	$6\frac{t_{RCIP}}{7}$	$6\frac{t_{RCIP}}{7}+t_{sk}$	ns
t_{RPLL}	PLL セット時間 (Figure 11)		-	-	10.0	ms
t_{RCD}	クロック入出力遅延（RCLK+/- to CLKOUT） MODE<1:0>=LL DK=L, 75MHz (Figure 12)		82	-	180	ns
t_{RCIP}	入力クロック周期 (Figure 10)		6.25	-	125.0	ns
t_{DEINT}	MODE<1:0>=HL (Single-in/Dual-out Mode)	DE input period (Figure 13)	$4t_{RCIP}$	t_{RCIP}*(2n) n=integer	-	ns
t_{DEH}		DE input High time (Figure 13)	$2t_{RCIP}$	-	-	ns
t_{DEL}		DE input Low time (Figure 13)	$2t_{RCIP}$	-	-	ns

© 2014 ROHM Co., Ltd. All rights reserved.

消費電流

記号	項目	条件			規格値		単位
					標準	最大	
I_{RCCW}	レシーバ消費電流 (ワーストケースパターン) Figure 5	CLKOUT=65MHz	CL=8pF	MODE<1:0>=HH Single-in/Single-out MODE2=L	-	134	mA
		CLKOUT=85MHz			-	165	mA
		CLKOUT=135MHz			-	244	mA
		CLKOUT=160MHz			-	284	mA
		CLKOUT=32.5MHz		MODE<1:0>=HL Single-in/Dual-out MODE2=L	-	110	mA
		CLKOUT=42.5MHz			-	134	mA
		CLKOUT=67.5MHz			-	190	mA
		CLKOUT=80MHz			-	230	mA
		CLKOUT=65MHz		MODE<1:0>=LH Dual-in/ Single out MODE2=L DDR Output Off	-	113	mA
		CLKOUT=85MHz			-	137	mA
		CLKOUT=135MHz			-	190	mA
		CLKOUT=150MHz			-	221	mA
		CLKOUT=160MHz			-	230	mA
		CLKOUT=32.5MHz		MODE<1:0>=LH Dual-in/ Single out MODE2=H DDR Output On	-	110	mA
		CLKOUT=42.5MHz			-	134	mA
		CLKOUT=67.5MHz			-	187	mA
		CLKOUT=75MHz			-	217	mA
		CLKOUT=80MHz			-	228	mA
		CLKOUT=65MHz		MODE<1:0>=LL Dual-in/ Dual-out MODE2=L	-	218	mA
		CLKOUT=85MHz			-	272	mA
		CLKOUT=135MHz			-	408	mA
		CLKOUT=160MHz			-	460	mA

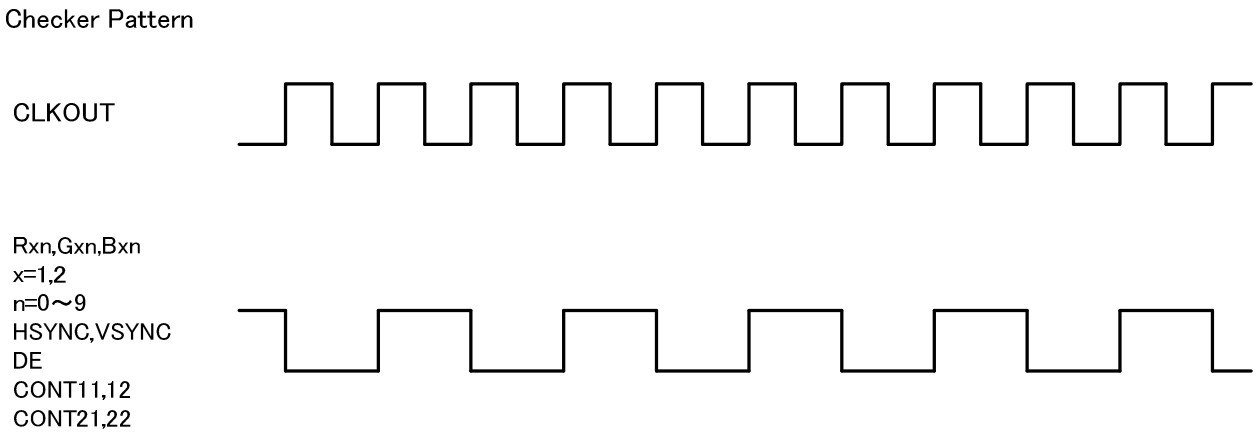


Figure 5. テストパターン

© 2014 ROHM Co., Ltd. All rights reserved.

AC タイミングダイアグラム

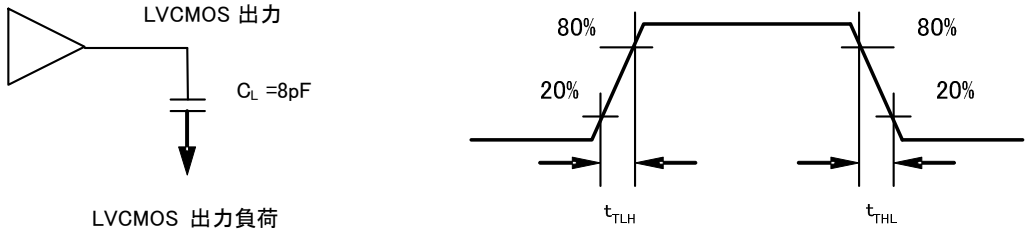


Figure 6. LVCMOS 出力負荷 及び 遷移時間

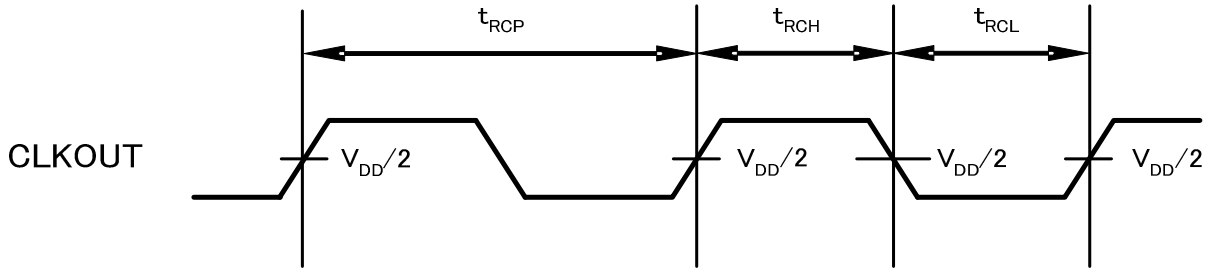


Figure 7. 出力クロック周期 及び High/Low タイム

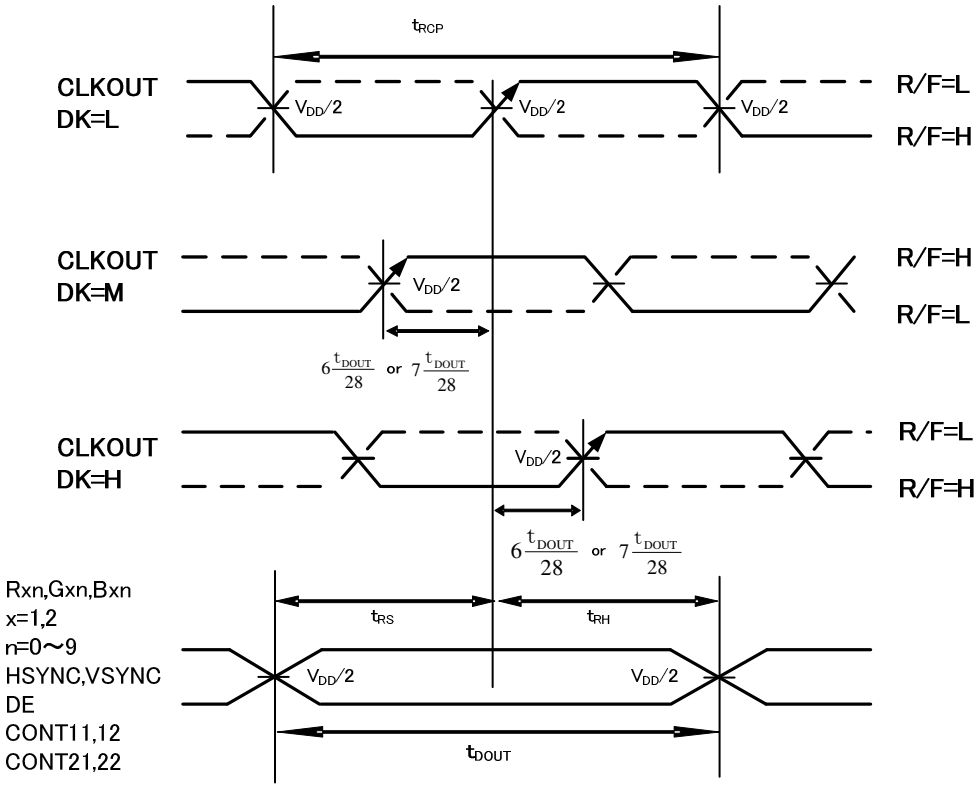


Figure 8. 出力クロック位置 及び セットアップ/ホールドタイム

© 2014 ROHM Co., Ltd. All rights reserved.

AC タイミングダイアグラム (続き)

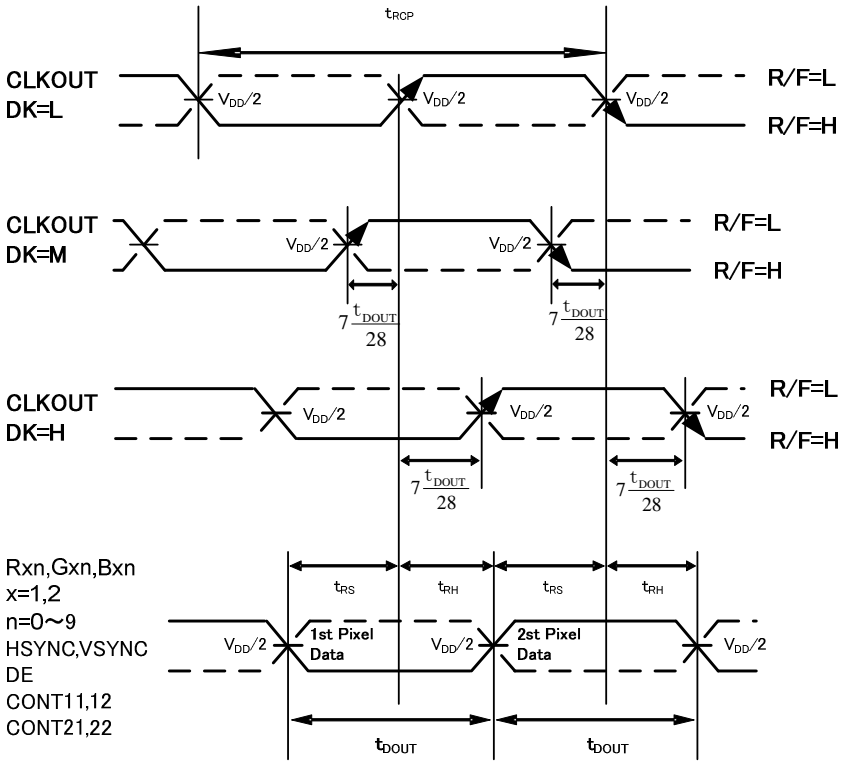


Figure 9. 出力クロック位置 及び セットアップ/ホールドタイム
(Double Edge Output Mode 時)

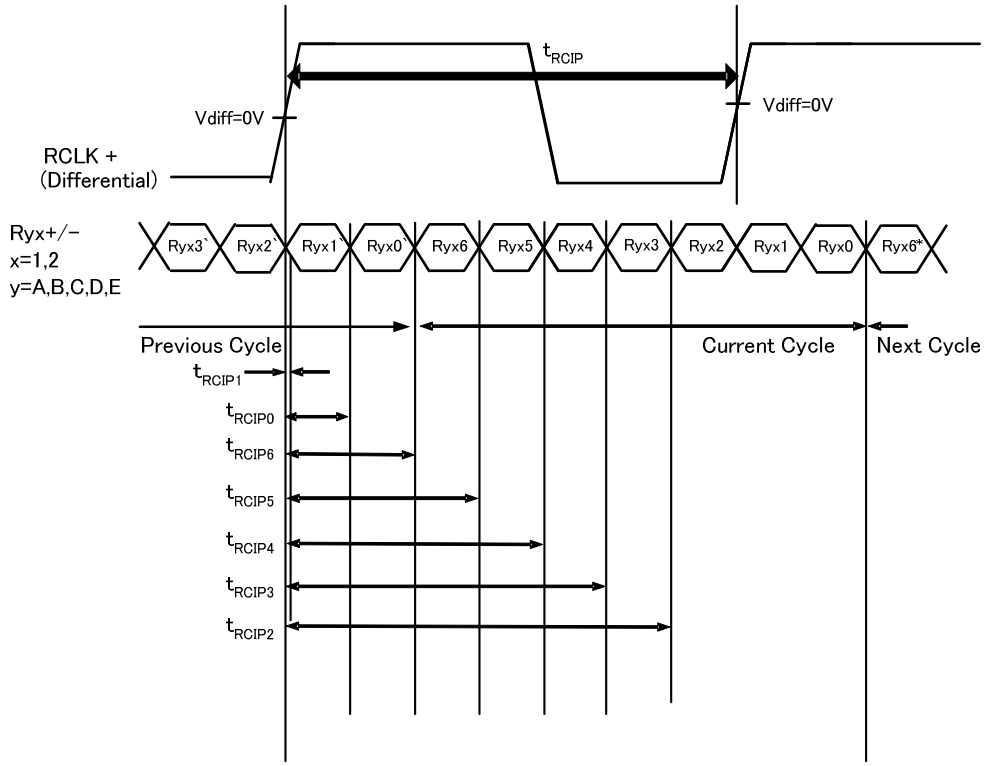


Figure 10. LVDS 入力データ位置

© 2014 ROHM Co., Ltd. All rights reserved.

AC タイミングダイアグラム (続き)

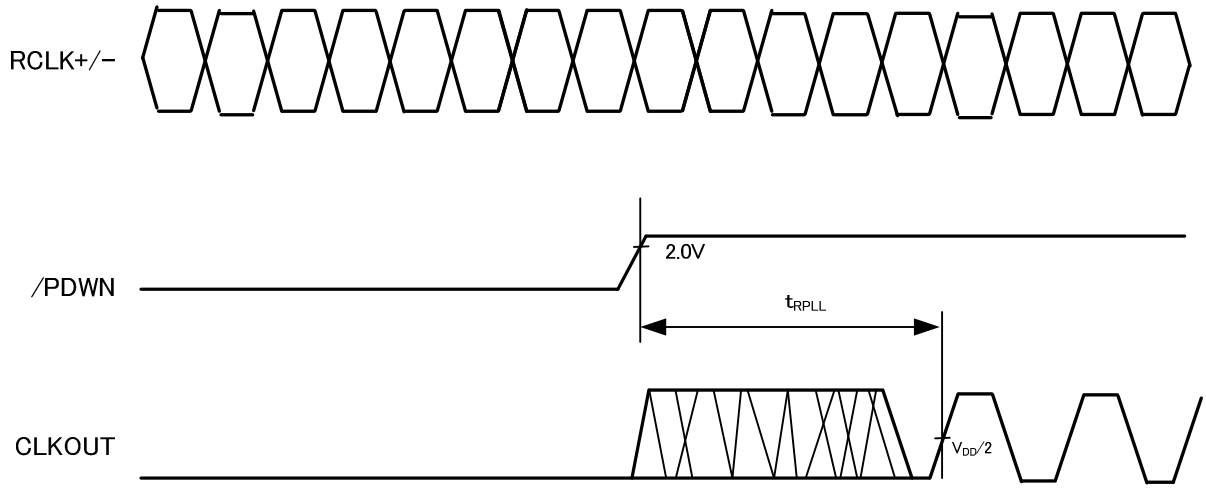


Figure 11. PLL セット時間

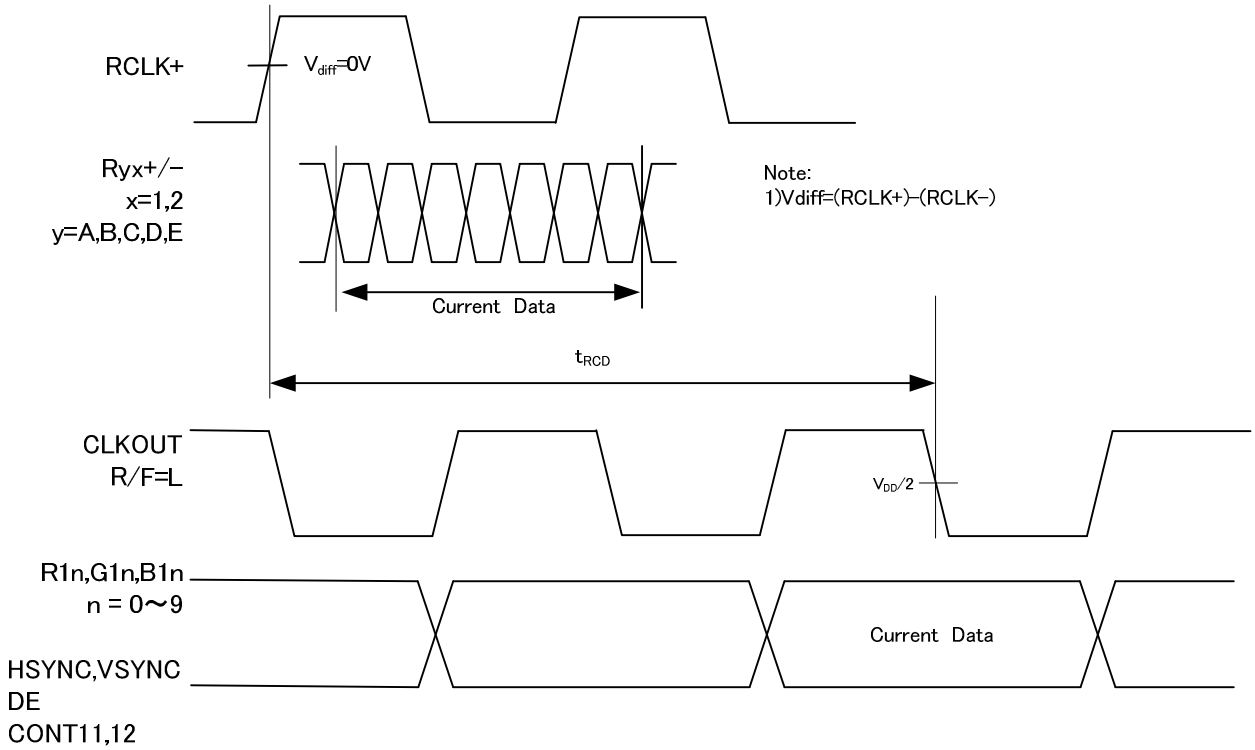


Figure 12. 入出力クロック遅延 (RCLK+/- to CLKOUT)

© 2014 ROHM Co., Ltd. All rights reserved.

Table 5. 各入出力モード の入力 DE 信号

In	Out	MODE1	MODE0	入力 DE 信号
Single	Single	H	H	任意
Single	Dual	H	L	必須 (Figure 13)
Dual	Single	L	H	任意
Dual	Dual	L	L	任意

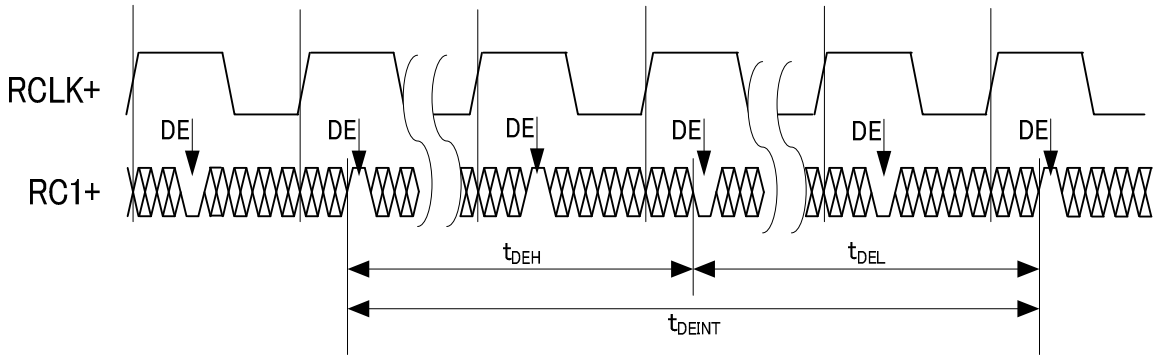


Figure 13. RC1(DE) 入力タイミング (Single-in/ Dual-out mode)

© 2014 ROHM Co., Ltd. All rights reserved.

出力データマッピング

Table 6. 出力カラーデータ名称ルール

X	Y	Z	内容	
X=R	-	-	Red Color Data	
X=G	-	-	Green Color Data	
X=B	-	-	Blue Color Data	
-	Y=Note	-	Single Pixel	
-	Y=O	-	Dual Pixel	1st Pixel Data
-	Y=E	-		2nd Pixel Data
-	-	Z=0-9	Bit number	0:LSB(Least Significant Bit) 9:MSB(Most Significant Bit)

Table 7. LVCMOS 出力データマッピング (Single-out mode,MODE0=H)

Data Signals			Receiver Output Pin Names		
30-bit	24-bit	18-bit	30-bit	24-bit	18-bit
R0	-	-	R10	-	-
R1	-	-	R11	-	-
R2	R0	-	R12	R12	-
R3	R1	-	R13	R13	-
R4	R2	R0	R14	R14	R14
R5	R3	R1	R15	R15	R15
R6	R4	R2	R16	R16	R16
R7	R5	R3	R17	R17	R17
R8	R6	R4	R18	R18	R18
R9	R7	R5	R19	R19	R19
G0	-	-	G10	-	-
G1	-	-	G11	-	-
G2	G0	-	G12	G12	-
G3	G1	-	G13	G13	-
G4	G2	G0	G14	G14	G14
G5	G3	G1	G15	G15	G15
G6	G4	G2	G16	G16	G16
G7	G5	G3	G17	G17	G17
G8	G6	G4	G18	G18	G18
G9	G7	G5	G19	G19	G19
B0	-	-	B10	-	-
B1	-	-	B11	-	-
B2	B0	-	B12	B12	-
B3	B1	-	B13	B13	-
B4	B2	B0	B14	B14	B14
B5	B3	B1	B15	B15	B15
B6	B4	B2	B16	B16	B16
B7	B5	B3	B17	B17	B17
B8	B6	B4	B18	B18	B18
B9	B7	B5	B19	B19	B19

© 2014 ROHM Co., Ltd. All rights reserved.

出力データマッピング(続き)

Table 8. LVCMOS 出力データマッピング(Dual-Out mode, MODE0=L)

1st Pixel Data						2nd Pixel Data					
Data Signals			Receiver output Pin Names			Data Signals			Receiver output Pin Names		
30-bit	24bit	18-bit	30-bit	24bit	18-bit	30-bit	24bit	18-bit	30-bit	24bit	18-bit
RE0	-	-	R10	-	-	RO0	-	-	R20	-	-
RE1	-	-	R11	-	-	RO1	-	-	R21	-	-
RE2	RE0	-	R12	R12	-	RO2	RO0	-	R22	R22	-
RE3	RE1	-	R13	R13	-	RO3	RO1	-	R23	R23	-
RE4	RE2	RE0	R14	R14	R14	RO4	RO2	RO0	R24	R24	R24
RE5	RE3	RE1	R15	R15	R15	RO5	RO3	RO1	R25	R25	R25
RE6	RE4	RE2	R16	R16	R16	RO6	RO4	RO2	R26	R26	R26
RE7	RE5	RE3	R17	R17	R17	RO7	RO5	RO3	R27	R27	R27
RE8	RE6	RE4	R18	R18	R18	RO8	RO6	RO4	R28	R28	R28
RE9	RE7	RE5	R19	R19	R19	RO9	RO7	RO5	R29	R29	R29
GE0	-	-	G10	-	-	GO0	-	-	G20	-	-
GE1	-	-	G11	-	-	GO1	-	-	G21	-	-
GE2	GE0	-	G12	G12	-	GO2	GO0	-	G22	G22	-
GE3	GE1	-	G13	G13	-	GO3	GO1	-	G23	G23	-
GE4	GE2	GE0	G14	G14	G14	GO4	GO2	GO0	G24	G24	G24
GE5	GE3	GE1	G15	G15	G15	GO5	GO3	GO1	G25	G25	G25
GE6	GE4	GE2	G16	G16	G16	GO6	GO4	GO2	G26	G26	G26
GE7	GE5	GE3	G17	G17	G17	GO7	GO5	GO3	G27	G27	G27
GE8	GE6	GE4	G18	G18	G18	GO8	GO6	GO4	G28	G28	G28
GE9	GE7	GE5	G19	G19	G19	GO9	GO7	GO5	G29	G29	G29
BE0	-	-	B10	-	-	BO0	-	-	B20	-	-
BE1	-	-	B11	-	-	BO1	-	-	B21	-	-
BE2	BE0	-	B12	B12	-	BO2	BO0	-	B22	B22	-
BE3	BE1	-	B13	B13	-	BO3	BO1	-	B23	B23	-
BE4	BE2	BE0	B14	B14	B14	BO4	BO2	BO0	B24	B24	B24
BE5	BE3	BE1	B15	B15	B15	BO5	BO3	BO1	B25	B25	B25
BE6	BE4	BE2	B16	B16	B16	BO6	BO4	BO2	B26	B26	B26
BE7	BE5	BE3	B17	B17	B17	BO7	BO5	BO3	B27	B27	B27
BE8	BE6	BE4	B18	B18	B18	BO8	BO6	BO4	B28	B28	B28
BE9	BE7	BE5	B19	B19	B19	BO9	BO7	BO5	B29	B29	B29

© 2014 ROHM Co., Ltd. All rights reserved.

LVDS 入力データマッピング

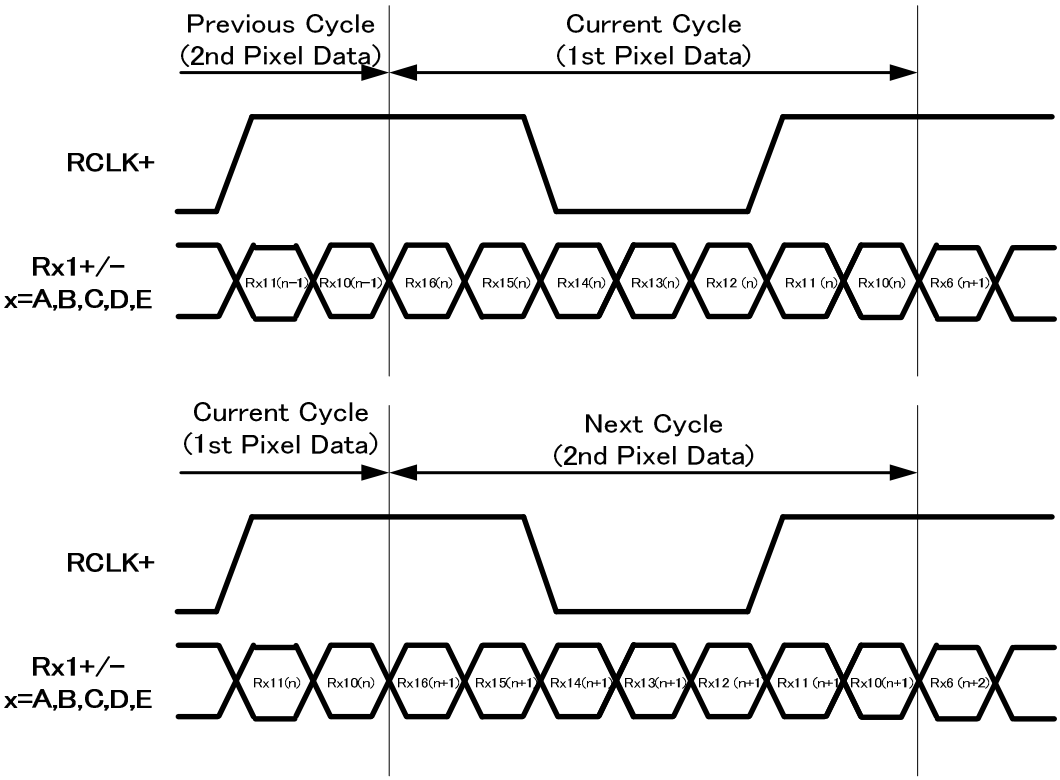


Figure 14. LVDS 入力データマッピング
MODE1=H(Single-in Mode)

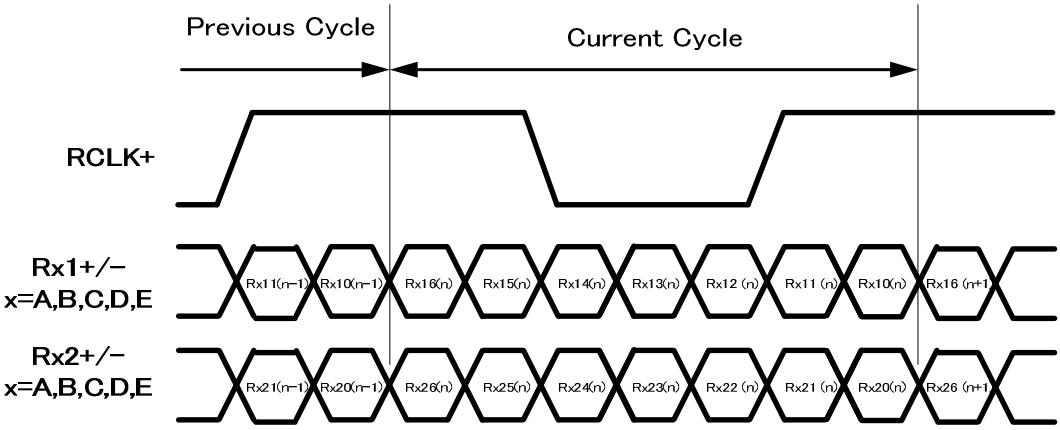


Figure 15. LVDS 入力データマッピング
MODE1=L(Dual-in Mode)

© 2014 ROHM Co., Ltd. All rights reserved.

LVDS 入力データマッピング(続き)

Table 9. LVDS 入力データマッピング (Single-in/Single-out mode, MODE<1:0>=HH)

LVDS Input Data	Mapping Mode1 (Output Pin Name)	Mapping Mode2 (Output Pin Name)
RA10	R14	R12
RA11	R15	R13
RA12	R16	R14
RA13	R17	R15
RA14	R18	R16
RA15	R19	R17
RA16	G14	G12
RB10	G15	G13
RB11	G16	G14
RB12	G17	G15
RB13	G18	G16
RB14	G19	G17
RB15	B14	B12
RB16	B15	B13
RC10	B16	B14
RC11	B17	B15
RC12	B18	B16
RC13	B19	B17
RC14	HSYNC	HSYNC
RC15	VSYNC	VSYNC
RC16	DE	DE
RD10	R12	R18
RD11	R13	R19
RD12	G12	G18
RD13	G13	G19
RD14	B12	B18
RD15	B13	B19
RD16	CONT11	CONT11
RE10	R10	R10
RE11	R11	R11
RE12	G10	G10
RE13	G11	G11
RE14	B10	B10
RE15	B11	B11
RE16	CONT12	CONT12

© 2014 ROHM Co., Ltd. All rights reserved.

LVDS 入力データマッピング(続き)

Table 10. LVDS 入力データマッピング(Single-in/Dual-out mode, MODE<1:0>=HL)

1st Pixel Data			2nd Pixel Data		
LVDS Input Data (1st Pixel Data)	Mapping Mode1 (Output Pin Name)	Mapping Mode2 (Input Pin Name)	LVDS Input Data (1st Pixel Data)	Mapping Mode1 (Output Pin Name)	Mapping Mode2 (Input Pin Name)
RA10(n)	R14	R12	RA10(n+1)	R24	R22
RA11(n)	R15	R13	RA11(n+1)	R25	R23
RA12(n)	R16	R14	RA12(n+1)	R26	R24
RA13(n)	R17	R15	RA13(n+1)	R27	R25
RA14(n)	R18	R16	RA14(n+1)	R28	R26
RA15(n)	R19	R17	RA15(n+1)	R29	R27
RA16(n)	G14	G12	RA16(n+1)	G24	G22
RB10(n)	G15	G13	RB10(n+1)	G25	G23
RB11(n)	G16	G14	RB11(n+1)	G26	G24
RB12(n)	G17	G15	RB12(n+1)	G27	G25
RB13(n)	G18	G16	RB13(n+1)	G28	G26
RB14(n)	G19	G17	RB14(n+1)	G29	G27
RB15(n)	B14	B12	RB15(n+1)	B24	B22
RB16(n)	B15	B13	RB16(n+1)	B25	B23
RC10(n)	B16	B14	RC10(n+1)	B26	B24
RC11(n)	B17	B15	RC11(n+1)	B27	B25
RC12(n)	B18	B16	RC12(n+1)	B28	B26
RC13(n)	B19	B17	RC13(n+1)	B29	B27
RC14(n)	HSYNC	HSYNC	RC14(n+1)	HSYNC	HSYNC
RC15(n)	VSYNC	VSYNC	RC15(n+1)	VSYNC	VSYNC
RC16(n)	DE	DE	RC16(n+1)	DE	DE
RD10(n)	R12	R18	RD10(n+1)	R22	R28
RD11(n)	R13	R19	RD11(n+1)	R23	R29
RD12(n)	G12	G18	RD12(n+1)	G22	G28
RD13(n)	G13	G19	RD13(n+1)	G23	G29
RD14(n)	B12	B18	RD14(n+1)	B22	B28
RD15(n)	B13	B19	RD15(n+1)	B23	B29
RD16(n)	CONT11	CONT11	RD16(n+1)	CONT21	CONT21
RE10(n)	R10	R10	RE10(n+1)	R20	R20
RE11(n)	R11	R11	RE11(n+1)	R21	R21
RE12(n)	G10	G10	RE12(n+1)	G20	G20
RE13(n)	G11	G11	RE13(n+1)	G21	G21
RE14(n)	B10	B10	RE14(n+1)	B20	B20
RE15(n)	B11	B11	RE15(n+1)	B21	B21
RE16(n)	CONT12	CONT12	RE16(n+1)	CONT22	CONT22

© 2014 ROHM Co., Ltd. All rights reserved.

LVDS 入力データマッピング(続き)

Table 11. LVDS 入力データマッピング(Dual-in/Single-out mode DDR On or Off, MODE<1:0>=LH,MODE2=HorL)

1st Pixel Data			2nd Pixel Data		
LVDS Input Data (1st Pixel Data)	Mapping Mode1 (Output Pin Name)	Mapping Mode2 (Output Pin Name)	LVDS Input Data (1st Pixel Data)	Mapping Mode1 (Output Pin Name)	Mapping Mode2 (Output Pin Name)
RA10	R14(n)	R12(n)	RA20	R14(n+1)	R12(n+1)
RA11	R15(n)	R13(n)	RA21	R15(n+1)	R13(n+1)
RA12	R16(n)	R14(n)	RA22	R16(n+1)	R14(n+1)
RA13	R17(n)	R15(n)	RA23	R17(n+1)	R15(n+1)
RA14	R18(n)	R16(n)	RA24	R18(n+1)	R16(n+1)
RA15	R19(n)	R17(n)	RA25	R19(n+1)	R17(n+1)
RA16	G14(n)	G12(n)	RA26	G14(n+1)	G12(n+1)
RB10	G15(n)	G13(n)	RB20	G15(n+1)	G13(n+1)
RB11	G16(n)	G14(n)	RB21	G16(n+1)	G14(n+1)
RB12	G17(n)	G15(n)	RB22	G17(n+1)	G15(n+1)
RB13	G18(n)	G16(n)	RB23	G18(n+1)	G16(n+1)
RB14	G19(n)	G17(n)	RB24	G19(n+1)	G17(n+1)
RB15	B14(n)	B12(n)	RB25	B14(n+1)	B12(n+1)
RB16	B15(n)	B13(n)	RB26	B15(n+1)	B13(n+1)
RC10	B16(n)	B14(n)	RC20	B16(n+1)	B14(n+1)
RC11	B17(n)	B15(n)	RC21	B17(n+1)	B15(n+1)
RC12	B18(n)	B16(n)	RC22	B18(n+1)	B16(n+1)
RC13	B19(n)	B17(n)	RC23	B19(n+1)	B17(n+1)
RC14	HSYNC(n)	HSYNC(n)	RC24	HSYNC(n+1)	HSYNC(n+1)
RC15	VSYNC(n)	VSYNC(n)	RC25	VSYNC(n+1)	VSYNC(n+1)
RC16	DE(n)	DE(n)	RC26	DE(n+1)	DE(n+1)
RD10	R12(n)	R18(n)	RD20	R12(n+1)	R18(n+1)
RD11	R13(n)	R19(n)	RD21	R13(n+1)	R19(n+1)
RD12	G12(n)	G18(n)	RD22	G12(n+1)	G18(n+1)
RD13	G13(n)	G19(n)	RD23	G13(n+1)	G19(n+1)
RD14	B12(n)	B18(n)	RD24	B12(n+1)	B18(n+1)
RD15	B13(n)	B19(n)	RD25	B13(n+1)	B19(n+1)
RD16	CONT11(n)	CONT11(n)	RD26	CONT11(n+1)	CONT11(n+1)
RE10	R10(n)	R10(n)	RE20	R10(n+1)	R10(n+1)
RE11	R11(n)	R11(n)	RE21	R11(n+1)	R11(n+1)
RE12	G10(n)	G10(n)	RE22	G10(n+1)	G10(n+1)
RE13	G11(n)	G11(n)	RE23	G11(n+1)	G11(n+1)
RE14	B10(n)	B10(n)	RE24	B10(n+1)	B10(n+1)
RE15	B11(n)	B11(n)	RE25	B11(n+1)	B11(n+1)
RE16	CONT12(n)	CONT12(n)	RE26	CONT12(n+1)	CONT12(n+1)

© 2014 ROHM Co., Ltd. All rights reserved.

LVDS 入力データマッピング(続き)

Table 12. LVDS 入力データマッピング(Dual-in/Dual-out mode, MODE<1:0>=LL)

1st Pixel Data			2nd Pixel Data		
LVDS Input Data (1st Pixel Data)	Mapping Mode1 (Output Pin Name)	Mapping Mode2 (Output Pin Name)	LVDS Input Data (1st Pixel Data)	Mapping Mode1 (Output Pin Name)	Mapping Mode2 (Output Pin Name)
RA10	R14	R12	RA20	R24	R22
RA11	R15	R13	RA21	R25	R23
RA12	R16	R14	RA22	R26	R24
RA13	R17	R15	RA23	R27	R25
RA14	R18	R16	RA24	R28	R26
RA15	R19	R17	RA25	R29	R27
RA16	G14	G12	RA26	G24	G22
RB10	G15	G13	RB20	G25	G23
RB11	G16	G14	RB21	G26	G24
RB12	G17	G15	RB22	G27	G25
RB13	G18	G16	RB23	G28	G26
RB14	G19	G17	RB24	G29	G27
RB15	B14	B12	RB25	B24	B22
RB16	B15	B13	RB26	B25	B23
RC10	B16	B14	RC20	B26	B24
RC11	B17	B15	RC21	B27	B25
RC12	B18	B16	RC22	B28	B26
RC13	B19	B17	RC23	B29	B27
RC14	HSYNC	HSYNC	RC24	N/A	
RC15	VSYNC	VSYNC	RC25		
RC16	DE	DE	RC26		
RD10	R12	R18	RD20	R22	R28
RD11	R13	R19	RD21	R23	R29
RD12	G12	G18	RD22	G22	G28
RD13	G13	G19	RD23	G23	G29
RD14	B12	B18	RD24	B22	B28
RD15	B13	B19	RD25	B23	B29
RD16	CONT11	CONT11	RD26	CONT21	CONT21
RE10	R10	R10	RE20	R20	R20
RE11	R11	R11	RE21	R21	R21
RE12	G10	G10	RE22	G20	G20
RE13	G11	G11	RE23	G21	G21
RE14	B10	B10	RE24	B20	B20
RE15	B11	B11	RE25	B21	B21
RE16	CONT12	CONT12	RE26	CONT22	CONT22

© 2014 ROHM Co., Ltd. All rights reserved.

基本アプリケーション回路(24 ビット・Dual-in/Dual-out モード)

例

BU90T82: LVCMOS データ入力(24bit) / 立上りエッジ取り込み
LVDS 差動 350mV 出力 / VESA マッピング / Dual-out

BU90R102 LVDS 差動 350mV 入力 / VESA マッピング / Dual-in
LVCMOS データ出力(48bit) / Dual-out /立下りエッジトリガー

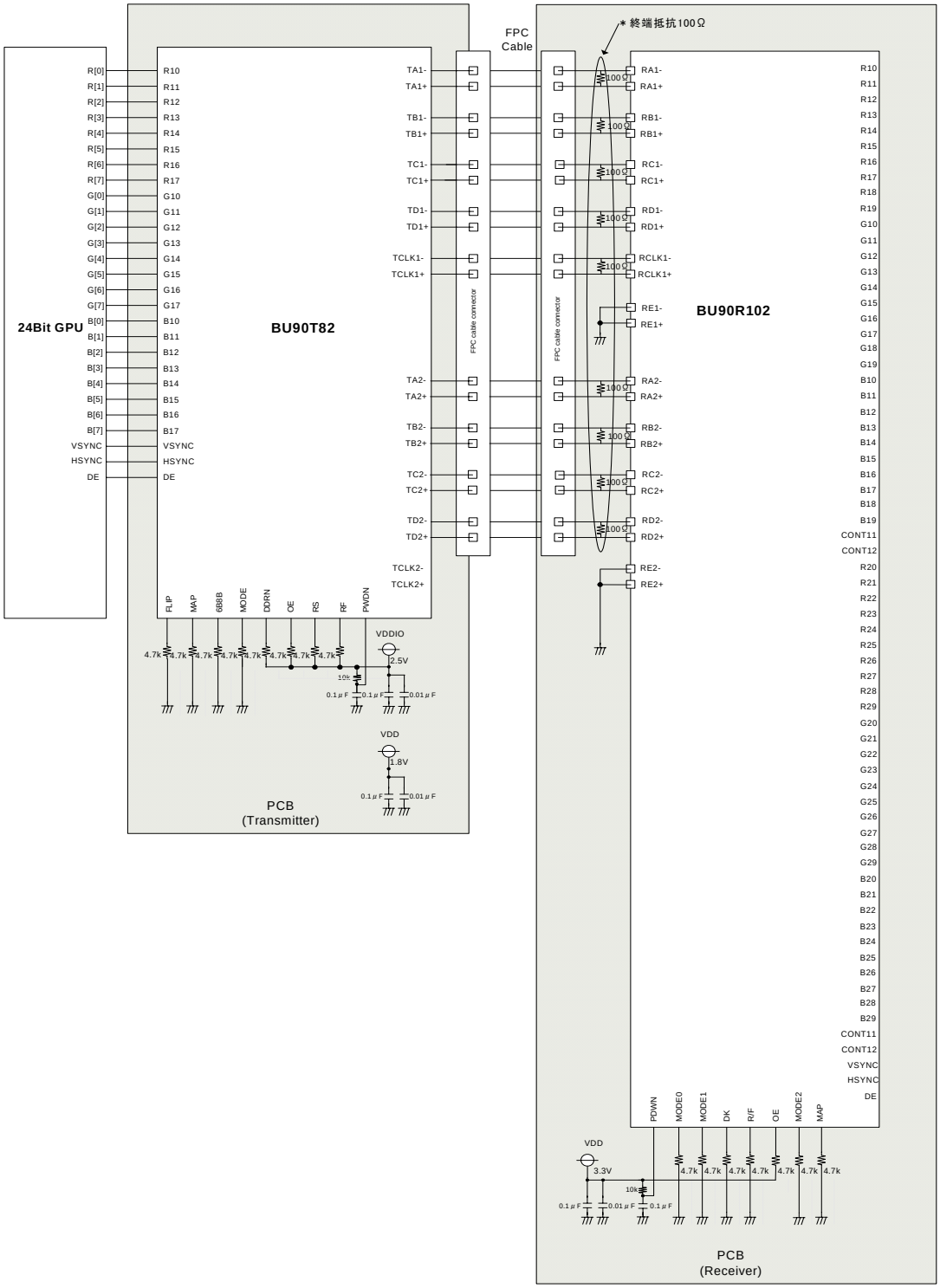


Figure 16. 基本アプリケーション回路(24 ビット Dual-in/Dual-out モード)

© 2014 ROHM Co., Ltd. All rights reserved.

使用上の注意

1. **電源の逆接続について**
電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

2. **電源ラインについて**
基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑止してください。グラウンドラインについても、同様のパターン設計を考慮してください。
また、LSI のすべての電源端子について電源－グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量ぬけが起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. **グラウンド電位について**
グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. **グラウンド配線パターンについて**
小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. **熱設計について**
万一、許容損失を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書の絶対最大定格に記載しています許容損失を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなどの対策をして、許容損失を超えないようにしてください。

6. **推奨動作条件について**
この範囲であればほぼ期待通りの特性を得ることができる範囲です。電気特性については各項目の条件下において保証されるものです。

7. **ラッシュカレントについて**
IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

8. **強電磁界中の動作について**
強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。

9. **セット基板での検査について**
セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

10. **端子間ショートと誤装着について**
プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

11. **未使用の入力端子の処理について**
CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

© 2014 ROHM Co., Ltd. All rights reserved.

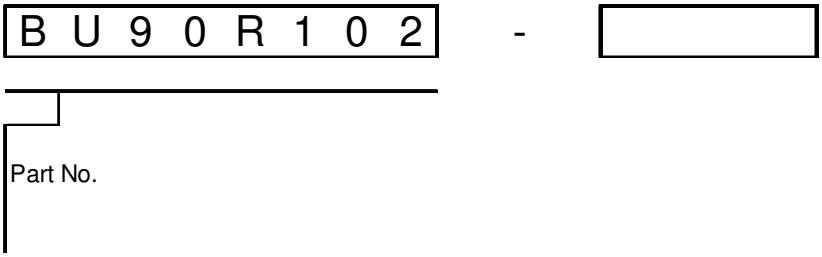
使用上の注意 — 続き

12. 各入力端子について

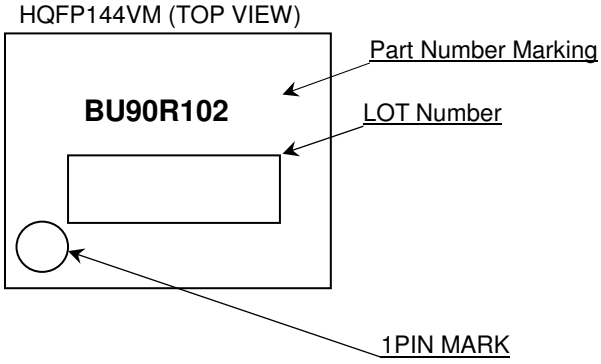
LSI の構造上、寄生素子は電位関係によって必然的に形成されます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因となり得ます。したがって、入力端子にグラウンドより低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分注意してください。また、LSI に電源電圧を印加していない時、入力端子に電圧を印加しないでください。さらに、電源電圧を印加している場合にも、各入力端子は電源電圧以下の電圧もしくは電気的特性の保証値内としてください。

© 2014 ROHM Co., Ltd. All rights reserved.

発注形名情報



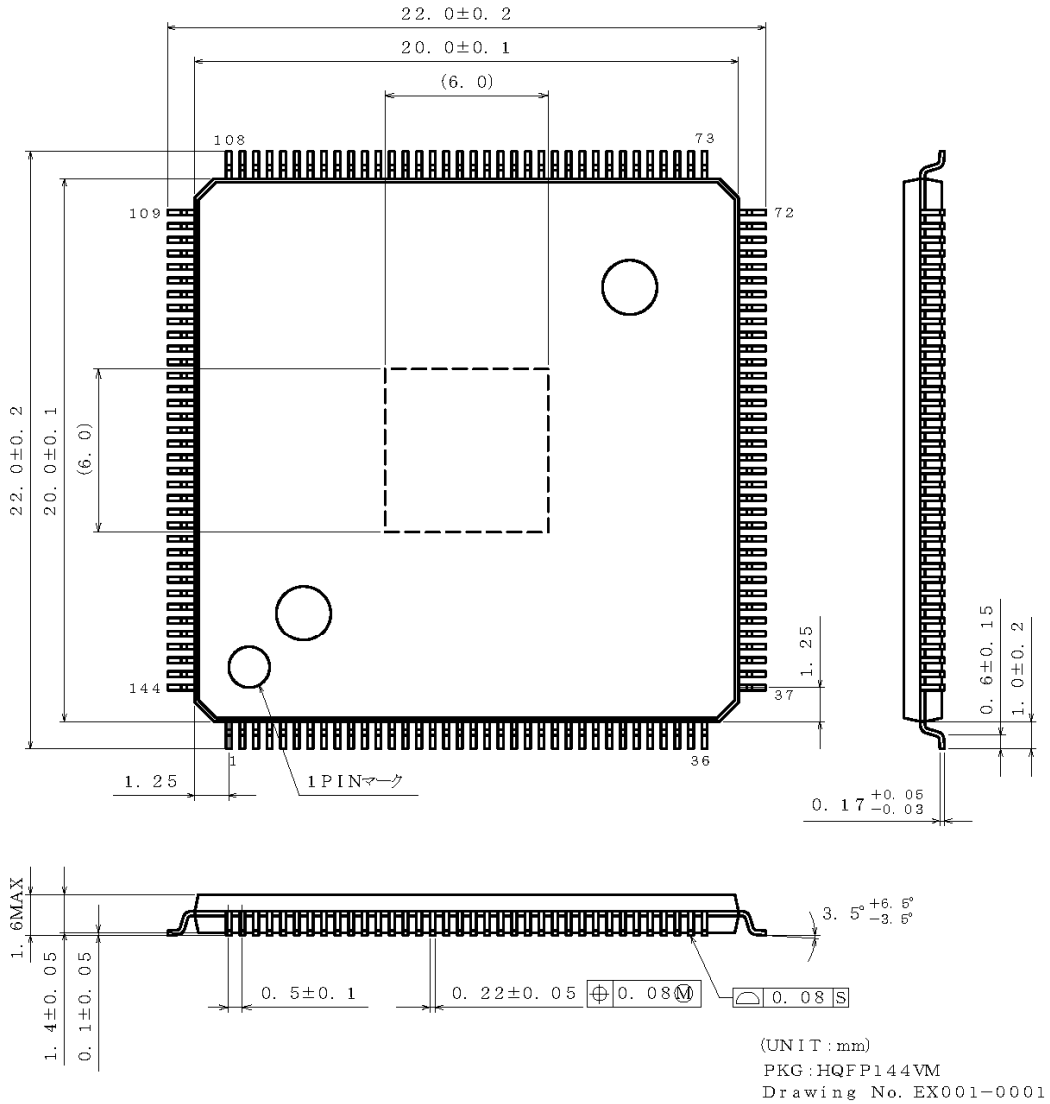
標印図



© 2014 ROHM Co., Ltd. All rights reserved.

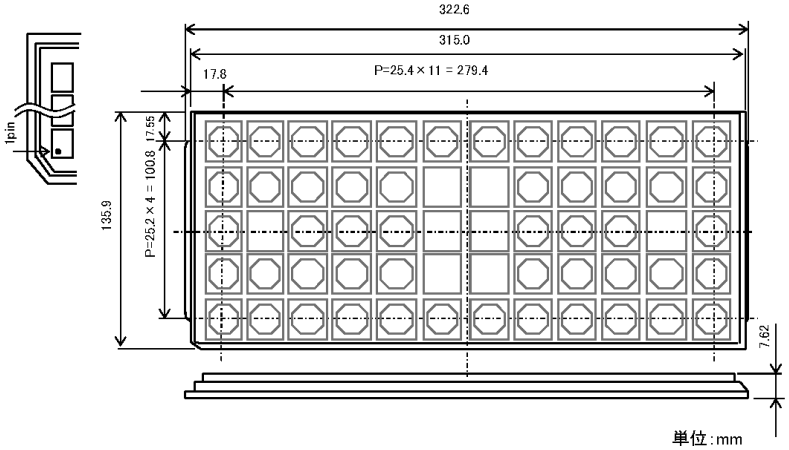
外形寸法図と包装仕様

Package Name	HQFP144VM



＜包装形態、包装数量、包装方向＞

包装形態	トレイ（防湿仕様）
包装数量	60pcs
包装方向	1トレイ内での製品方向は一定



※ご発注の際は、包装数量の倍数でお願い致します。

© 2014 ROHM Co., Ltd. All rights reserved.

改訂履歴

日付	版	変更内容
2014.10.02	001	新規作成

© 2014 ROHM Co., Ltd. All rights reserved.

ご注意

ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。従いまして、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険若しくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器(Note 1)、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASSⅢ	CLASSⅢ	CLASSⅡb	Ⅲ類
CLASSⅣ		CLASSⅢ	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
   ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
   ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。

3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておりません。従いまして、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
   ①水・油・薬液・有機溶剤等の液体中でのご使用
   ②直射日光・屋外暴露、塵埃中でのご使用
   ③潮風、Cl_2、H_2S、NH_3、SO_2、NO_2 等の腐食性ガスの多い場所でのご使用
   ④静電気や電磁波の強い環境でのご使用
   ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
   ⑥本製品を樹脂等で封止、コーティングしてのご使用。
   ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実に行うことをお薦め致します)、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合。
   ⑧本製品が結露するような場所でのご使用。

4. 本製品は耐放射線設計はなされておりません。

5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。

6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。

7. 許容損失(Pd)は周囲温度(Ta)に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、ディレーティングカーブ範囲内であることをご確認ください。

8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。

9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。

2. はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせて頂きます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。
   その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

© 2015 ROHM Co., Ltd. All rights reserved.

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。

2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。従いまして、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施の上、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
   ①潮風、Cl_2、H_2S、NH_3、SO_2、NO_2 等の腐食性ガスの多い場所での保管
   ②推奨温度、湿度以外での保管
   ③直射日光や結露する場所での保管
   ④強い静電気が発生している場所での保管

2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認した上でご使用頂くことを推奨します。

3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱いください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。

4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行った上でご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに QR コードが印字されていますが、QR コードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。

2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。

3. ロームは、本製品又は本資料に記載された情報について、ローム若しくは第三者が所有又は管理している知的財産権 その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。 但し、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。

2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。

3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。

4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社若しくは第三者の商標又は登録商標です。

© 2015 ROHM Co., Ltd. All rights reserved.

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。

2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。

3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。

© 2015 ROHM Co., Ltd. All rights reserved.